

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 8月27日

出 願 番 号
Application Number:

特願2002-247450

[ST.10/C]:

[JP2002-247450]

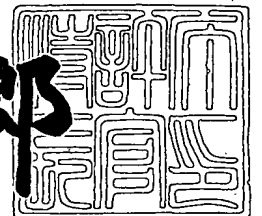
出 願 人
Applicant(s):

富士通株式会社

2003年 1月 7日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3104223

【書類名】 特許願

【整理番号】 0240801

【提出日】 平成14年 8月27日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03K 5/13
G06F 1/06
H03L 7/099

【発明の名称】 クロック発生装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 田村 泰孝

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100077517

【弁理士】

【氏名又は名称】 石田 敬

【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100092624

【弁理士】

【氏名又は名称】 鶴田 準一

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905449

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック発生装置

【特許請求の範囲】

【請求項 1】 制御信号によりクロックの位相を変化させる機能を備えたクロック発生回路と、

該クロック発生回路から出力されたクロックの位相を基準になる波形と比較して位相差を検出する位相差検出回路と、

該位相差検出回路で得られた位相差情報に基づいて前記クロック発生回路のクロック位相を制御する制御信号を発生する制御信号発生回路とを備えるクロック発生装置であって、

前記位相差検出回路は複数の位相検出ユニットを備え、

前記複数の位相検出ユニットのうち少なくとも 1 つは、前記クロックの位相を基準になる波形の位相と直接比較する直接的位相検出を行い、且つ、

前記複数の位相検出ユニットのうち他の少なくとも 1 つは、前記クロック発生回路の出力または前記基準波形と位相が同期した関係にある波形を発生する位相同期波形発生回路、および、該位相が同期した関係にある波形から位相情報を取り出す位相情報取出回路を有する間接的位相検出を行うことを特徴とするクロック発生装置。

【請求項 2】 請求項 1 に記載のクロック発生装置において、

前記直接的位相検出は、前記クロックと前記基準になる波形との位相比較を第 1 の頻度で行い、且つ、

前記間接的位相検出は、前記クロックと前記位相同期波形発生回路の出力との位相比較を前記第 1 の頻度よりも高い第 2 の頻度で行うことを特徴とするクロック発生装置。

【請求項 3】 請求項 2 に記載のクロック発生装置において、

前記直接的位相検出は、前記クロックと外部から送られてきたデータとの位相差の検出によるものであり、且つ、

前記間接的位相検出は、前記クロックと前記外部から送られてきたデータに同期したデータクロックとの位相差の検出によるものであることを特徴とするクロ

ック発生装置。

【請求項 4】 請求項 3 に記載のクロック発生装置において、さらに、
前記複数の位相検出ユニットが発生する信号に従って前記クロックの位相調整を行うクロック位相調整回路を備え、該複数の位相検出ユニットの出力毎に前記クロックの位相へ影響を与える応答速度特性が異なっていることを特徴とするクロック発生装置。

【請求項 5】 請求項 4 に記載のクロック発生装置において、
前記データクロックを伝送する 1 つのデータクロック線に対して複数のデータ線によりデータを伝送し、

前記データクロック線および前記データ線毎にクロック発生回路を有し、
前記データクロック線が有するクロック発生回路は、自身のクロック発生回路が発生するクロックと前記データクロックとの位相差を検出し、該検出された位相差の値に基づいて前記クロックの位相調整を行い、該位相調整に使われた制御信号を前記各データ線のクロック発生回路に出力し、前記各データ線のクロック発生回路が前記制御信号と各自のクロックとデータの位相差信号からクロック制御信号を発生することを特徴とするクロック発生装置。

【請求項 6】 請求項 5 に記載のクロック発生装置において、前記データクロック線に附随した位相検出ユニットから得られる位相情報により、前記データクロックの位相の増加率に対応する値を得て、これを前記各データ線のクロック位相調整回路に送り、該各データ線ではこの情報と各自のクロックとデータと位相差の情報からクロック位相を調整することを特徴とするクロック発生装置。

【請求項 7】 請求項 1 に記載のクロック発生装置において、前記クロック位相の検出は、

外部基準クロックと前記クロック発生回路が発生するクロックとを比較して位相差を検出する位相差検出回路と、

前記クロック発生回路の出力クロックを PLL または DLL に与えたとき、該 PLL または DLL の位相検出回路との両方を使用することを特徴とするクロック発生装置。

【請求項 8】 請求項 7 に記載のクロック発生装置において、前記外部基準

クロックと前記クロック発生回路の出力の位相を比較した値は、長い時定数で前記クロック発生回路の位相を制御し、前記PLLまたはDLLの位相検出回路から得られる位相情報はより短い時定数で前記クロック発生回路の位相を制御することを特徴とするクロック発生装置。

【請求項9】 外部から供給される基準信号と内部クロックとの位相比較を行う第1の位相比較器と、

前記基準信号に位相同期し、該基準信号よりもクロック遷移率の高い比較用クロックを発生する位相同期クロック発生回路と、

前記比較用クロックと前記内部クロックとの位相比較を行う第2の位相比較器と、

前記第1の位相比較器により得られた第1の位相差情報と、前記第2の位相比較器により得られた第2の位相差情報との加算を行う加算器と、

該加算器の出力に応じて位相調整された前記内部クロックを発生する内部クロック発生回路とを備えることを特徴とするクロック発生装置。

【請求項10】 請求項9に記載のクロック発生装置において、

前記基準信号は、複数のデータ線を介して並列に伝送されるデータに対して1つのデータクロック線を介して伝送されるデータクロックであり、

前記内部クロックは、前記複数のデータ線を介して伝送されるデータをそれぞれ受信する複数のデータ受信用クロックであり、

前記第2の位相比較器は、前記データクロック線に対応して1つ設けられ、

前記第1の位相比較器、前記加算器および前記内部クロック発生回路は、前記複数のデータ線に対応して複数設けられ、

前記各加算器は、対応する前記第1の位相比較器により得られた第1の位相差情報と前記第2の位相比較器により得られた第2の位相差情報とを加算し、

前記各内部クロック発生回路は、対応する前記加算器の出力に応じて位相調整された前記内部クロックを発生することを特徴とするクロック発生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の L S I チップ間や 1 つのチップ内における複数の素子や回路ブロック間の信号伝送、或いは、複数のボード間や複数の匡体間の信号伝送を高速に行う信号伝送技術に関し、特に、信号伝送を高ビットレートで行うために用いるクロック発生装置に関する。

【 0 0 0 2 】

近年、コンピュータやその他の情報処理機器を構成する部品の性能は大きく向上しており、例えば、S R A M (Static Random Access Memory) や D R A M (Dynamic Random Access Memory) 等の半導体記憶装置、並びに、プロセッサおよびスイッチ用 L S I 等の性能向上は目を見張るものがある。そして、この半導体記憶装置やプロセッサ等の性能向上に伴って、各部品或いは要素間の信号伝送速度を向上させなければ、システムの性能を向上させることができないという事態になって来ている。具体的に、例えば、S R A M や D R A M 等の半導体記憶装置とプロセッサとの間の速度ギャップは大きくなる傾向にあり、近年は、この速度ギャップがコンピュータ全体の性能向上の妨げになりつつある。さらに、サーバと主記憶装置或いはネットワークを介したサーバ間といった匡体やボード（プリント配線基板）間の信号伝送だけでなく、半導体チップの高集積化並びに大型化、および、電源電圧の低電圧化（信号振幅の低レベル化）等により、チップ間の信号伝送やチップ内における素子や回路ブロック間での信号伝送においても信号伝送速度の向上が必要になって来ている。さらには、周辺機器とプロセッサ／チップセット間の信号伝送もシステム全体の性能を制限する要素になっている。また、機器内で回路ボード間を接続するいわゆるバックプレーン（Back plane: Back Wiring Board: B W B と呼ぶ）における信号伝送速度の向上も強く求められている。

【 0 0 0 3 】

一般に、回路ブロック間、チップ間、或いは、匡体内の高速信号伝送では、データの『0』（低レベル『L』）および『1』（高レベル『H』）を判定するためのクロックを受信回路側で発生（復元）することが行われている。そして、正しい信号の送受信を行うためには、クロックの立ち上がり時間のゆらぎ（理想的な周期的なタイミングからのずれ）、すなわち、ジッター（jitter）が小さいこ

とが要求され、正確でジッターの小さなクロックを発生することのできるクロック発生装置の提供が強く要望されている。

【0004】

【従来の技術】

高速信号伝送におけるクロック発生は、大きく分けて2種類ある。1つは受信データからクロックを再生することであり、再生したクロックを使ってデータの『0』、『1』の判定を行うのでこの技術はCDR (Clock and Data Recovery : クロックアンドデータリカバリ) と呼ばれる。

【0005】

他の1つは、広い意味ではCDR技術に含まれるものであるが、チップ外から供給された基準クロックによりチップ内で必要な周波数のクロックを作ることである。CDR方式によっては高い周波数の基準クロックを必要とするものがあり、そのためのクロックを作るにもCDR技術が用いられる。また、高速信号伝送を行うためのトランスミッタ (Tx) も高い周波数のクロックを必要とする。これらの高い周波数のクロックを直接チップの外から供給するのは実用的ではなく、より低い周波数のクロックをチップに供給し、チップ上で低い周波数のクロックを通倍することで必要なクロックを発生するのが好ましい。

【0006】

ところで、クロックの通倍には、一般的にPLL (Phase Locked Loop) が使用されるが、このようなクロックにおいても、ジッターは小さいことが要求される。なお、CDRもクロック通倍もほぼ同じ原理が用いられている。

【0007】

図1は従来のクロック発生装置の一例を示すブロック図である。図1において、参照符号101は位相比較器、102はチャージポンプ、103はループフィルタ、104はVCO (Voltage Controlled Oscillator : 電圧制御発振器)、そして、105は1/n分周器を示している。

【0008】

図1に示されるように、従来のクロック発生装置は、例えば、外部からの基準クロック (外部クロック) CLK1または入力データDATAが位相比較器10

1に入力され、この外部クロックCLK 1と後述する1/n分周器105の出力とを位相比較して内部クロックCLK 2の位相調整を行う。この位相調整は、VCO 104で行われるのが一般的である。すなわち、位相比較器101の出力によりチャージポンプ102が駆動され、このチャージポンプ102の出力がループフィルタ103を介して制御電圧としてVCO 104に与えられ、この制御電圧によりVCO 104の発振周波数が制御される。

【0009】

VCO 104の出力は、内部クロックCLK 2としてチップ内の各回路に供給されると共に、1/n分周器105を介して位相比較器101にフィードバックされる。具体的に、例えば、外部クロックCLK 1として50MHzのクロックを与え、これを100通倍して5GHzの内部クロックCLK 2を生成する場合、VCO 104の出力（内部クロックCLK 2）は、1/n分周器105により100分周されて位相比較器101にフィードバックされ、外部クロックCLK 1との位相比較が行われる。なお、位相比較器101において、データ（入力データDATA）と内部クロックCLK 2の比較を行う場合、内部クロックCLK 2の分周は行わないのが普通である。

【0010】

【発明が解決しようとする課題】

ところで、データ（入力データDATA）からクロックの復元を行うとき、そのデータに含まれる『0』→『1』または『1』→『0』の遷移のレートが十分でない場合があり得る。例えば、何らコーディング等を行っていないデータでは『0』や『1』が連続して伝送される場合があり、そのような場合には位相比較を行う頻度が低くなって、位相比較が行われていない期間に内部クロック（CLK 2）とデータ（DATA）の位相のずれが大きくなり、すなわち、ジッターが大きくなる可能性がある。

【0011】

また、外部クロック（CLK 1）を通倍して内部クロック（CLK 2）を生成する場合においても、通倍率が高いと上述したデータからクロックの復元を行うときと同様の問題が生じる。すなわち、通倍率が高い場合には、位相比較を行う

間隔が長くなって位相ずれを修正する頻度が低下するため、位相誤差（ジッター）が大きくなる。

【 0 0 1 2 】

本発明は、上述した従来のクロック発生装置が有する課題に鑑み、クロック遷移率の低いデータから内部クロックを生成する場合や高い通倍率で外部クロックを逡倍して内部クロックを生成する場合においても、ジッターの小さなクロックを発生することのできるクロック発生装置の提供を目的とする。

【 0 0 1 3 】

【課題を解決するための手段】

本発明の第 1 の形態によれば、制御信号によりクロックの位相を変化させる機能を備えたクロック発生回路と、該クロック発生回路から出力されたクロックの位相を基準になる波形と比較して位相差を検出する位相差検出回路と、該位相差検出回路で得られた位相差情報に基づいて前記クロック発生回路のクロック位相を制御する制御信号を発生する制御信号発生回路とを備えるクロック発生装置であって、前記位相差検出回路は複数の位相検出ユニットを備え、前記複数の位相検出ユニットのうち少なくとも 1 つは、前記クロックの位相を基準になる波形の位相と直接比較する直接的位相検出を行い、且つ、前記複数の位相検出ユニットのうち他の少なくとも 1 つは、前記クロック発生回路の出力または前記基準波形と位相が同期した関係にある波形を発生する位相同期波形発生回路、および、該位相が同期した関係にある波形から位相情報を取り出す位相情報取出回路を有する間接的位相検出を行うことを特徴とするクロック発生装置が提供される。

【 0 0 1 4 】

本発明の第 2 の形態によれば、外部から供給される基準信号と内部クロックとの位相比較を行う第 1 の位相比較器と、前記基準信号に位相同期し、該基準信号よりもクロック遷移率の高い比較用クロックを発生する位相同期クロック発生回路と、前記比較用クロックと前記内部クロックとの位相比較を行う第 2 の位相比較器と、前記第 1 の位相比較器により得られた第 1 の位相差情報と、前記第 2 の位相比較器により得られた第 2 の位相差情報との加算を行う加算器と、該加算器の出力に応じて位相調整された前記内部クロックを発生する内部クロック発生回

路とを備えることを特徴とするクロック発生装置が提供される。

【0015】

図2は本発明に係るクロック発生装置の基本構成を示すブロック図である。図2において、参照符号1、7は位相比較器（位相検出ユニット）、2、8はチャージポンプ、3はローパスフィルタ、4は加算器、5はVCO（電圧制御発振器：クロック発生回路）、6は位相同期クロック発生回路（位相同期信号発生回路）、そして、9はハイパスフィルタを示している。

【0016】

図2に示されるように、本発明に係るクロック発生装置は、例えば、外部からの入力データDATA（または、通倍のための基準クロック（外部クロック）CLK1）が位相比較器1に入力され、この入力データDATAとVCO5の出力である内部クロックCLK2との位相比較が行われる。位相比較器1の出力は、チャージポンプ2に供給されてそのチャージポンプ2を駆動し、さらに、チャージポンプ2の出力はローパスフィルタ3を介して加算器4に与えられる。そして、VCO5は、ローパスフィルタ3の出力とハイパスフィルタ9の出力を加算器4で加算した信号（制御電圧）により制御される。

【0017】

ここで、図2の破線L1に示されるように、位相同期クロック発生回路6には外部からの入力データDATA（または、外部クロックCLK1）が供給され、その入力データ（受信データ）DATAと位相同期した比較用クロックCLK3を位相比較器7に出力するか、或いは、図2の破線L2に示されるように、位相同期クロック発生回路6には内部クロックCLK2が供給され、その内部クロックCLK2と位相同期した比較用クロックCLK3を位相比較器7に出力する。なお、位相同期クロック発生回路6から出力される比較用クロックCLK3は、入力データDATAまたは内部クロックCLK2に同期したクロックであるが、そのクロック遷移数は、入力データDATAまたは内部クロックCLK2のクロック遷移数よりも高くなるように構成されている。

【0018】

位相比較器7は、クロック遷移数の高い位相同期クロック発生回路6からの比

較用クロックCLK3と、VCO5の出力である内部クロックCLK2との位相比較を行う。位相比較器7の出力は、チャージポンプ8に供給されてそのチャージポンプ8を駆動し、さらに、チャージポンプ8の出力はハイパスフィルタ9を介して加算器4に与えられる。なお、VCO5は、加算器4により加算されたローパスフィルタ3の出力およびハイパスフィルタ9の出力（制御電圧）によりその発振周波数（内部クロックCLK2の周波数）が制御されることになる。

【0019】

上述したように、位相同期クロック発生回路6の出力である比較用クロックCLK3は、入力データDATAまたは内部クロックCLK2と位相同期しているが受信データよりも高いクロック遷移率になっており、位相比較器7から得られた位相情報は内部クロックの位相情報を高い周波数成分まで持っている。ただし、位相比較器7では、受信データと比較用クロックCLK3の間で一定の位相誤差が発生するため、位相比較器7だけを制御に使うと内部クロックCLK2と受信データの間でも位相誤差が生じてしまう。この誤差は、直流分を含む低周波のゆらぎになる。

【0020】

そこで、本発明に係るクロック発生装置では、位相比較器1（こちらは位相誤差が存在しない）で得られた位相差の低周波分を、ローパスフィルタ3を介して加算器4に与えると共に、位相比較器7で得られた位相差の高周波分を、ハイパスフィルタ9を介して加算器4に与え、これらローパスフィルタ3およびハイパスフィルタ9の出力を加算器4で加算することにより、低周波から高周波まで誤差のない位相差信号を得るようになっている。すなわち、位相比較（位相検出）の頻度は低い低周波側での誤差の少ない位相比較器1の出力に基づく位相差信号と、位相比較の頻度は十分高く取れて位相誤差の高周波成分まで測定できる位相比較器7の出力に基づく位相差信号とが加算器4で組み合わせられ、その加算器4の出力によりVCO5が制御されるため、広い周波数範囲での位相比較が行われた位相誤差（ジッター）の少ない内部クロックCLK2を発生することが可能になる。

【0021】

このように、本発明によれば、クロック遷移率の低いデータから内部クロックを生成する場合や高い通倍率で外部クロックを通倍して内部クロックを生成する場合においても、ジッターの小さなクロックを発生することができ、タイミングマージンの大きな受信回路や高精度のクロック発生装置を実現することが可能になる。

【 0 0 2 2 】

【発明の実施の形態】

以下、本発明に係るクロック発生装置の各実施例を、添付図面を参照して詳述する。

【 0 0 2 3 】

図 3 は本発明に係るクロック発生装置の第 1 実施例を示すブロック図である。図 3 において、参照符号 1, 7 は位相比較器、2, 8 はチャージポンプ、4 は加算器、5 は VCO (電圧制御発振器)、6 は 2 通倍回路 (位相同期クロック発生回路)、9 はハイパスフィルタ、10 は処理回路、そして、11 は制御信号発生回路を示している。

【 0 0 2 4 】

図 3 に示されるように、本第 1 実施例のクロック発生装置は、位相比較器 1 により外部クロック CLK 1 (または、入力データ DATA) と VCO 5 の出力である内部クロック CLK 2 との位相比較を行い、また、位相比較器 7 により 2 通倍回路 6 で 2 通倍された外部クロック (比較用クロック CLK 3) と内部クロック CLK 2 との位相比較を行う。

【 0 0 2 5 】

位相比較器 1 および 7 の出力は、制御信号発生回路 11 に入力され、制御信号発生回路 11 から出力される制御信号 (制御電圧) により VCO 5 が制御されて位相制御された内部クロック CLK 2 が出力される。制御信号発生回路 11 は、位相比較器 1 の出力により駆動されるチャージポンプ 2、位相比較器 7 の出力により駆動されるチャージポンプ 8、チャージポンプ 2 の出力およびハイパスフィルタ 9 を介したチャージポンプ 8 の出力を加算する加算器 4、並びに、加算器 4 の出力の積分 + 1 次のゼロ処理 ($(s + \alpha) / s$) を行う処理回路 10 を備えて

いる。

【 0 0 2 6 】

すなわち、制御信号発生回路 1 1 の加算器 4 において、位相比較器 7 の出力により駆動されるチャージポンプ 8 の出力は、低周波側をカットするハイパスフィルタ 9 を通した上で、位相比較器 1 の出力により駆動されるチャージポンプ 2 の出力と加算され、さらに、処理回路 1 0 における所定の積分処理 $(s + \alpha) / s$ が行われ、この処理回路 1 0 の出力により V C O 5 が制御されて内部クロック C L K 2 が生成される。

【 0 0 2 7 】

このように、本第 1 実施例のクロック発生装置によれば、位相比較器 7 は、2 通倍回路 6 で 2 通倍された外部クロック（比較用クロック C L K 3）と内部クロック C L K 2 との位相比較を行うことにより、位相比較のカットオフ周波数は 2 倍に向上する。2 通倍回路 6 が出力する比較用クロック C L K 3 は外部クロック C L K 1 と位相同期（周波数が異なるので分周の関係）しているが、静的な位相誤差（直流分を含む低周波のゆらぎ）は存在する。しかしながら、外部クロック C L K 1 を 2 通倍した比較用クロック C L K 3 から得られた位相差信号の低域部分はハイパスフィルタ 9 によりカットされ、加算器 4 により、ハイパスフィルタ 9 の出力と通常の位相検出手段（位相比較器 1 およびチャージポンプ 2）で得られた位相差信号との和を取ることで、低域の誤差がなく高帯域の位相差信号を得ることができる。

【 0 0 2 8 】

図 4 は図 3 のクロック発生装置における 2 通倍回路の一例を示す回路図である。

【 0 0 2 9 】

図 4 に示されるように、2 通倍回路 6 は、n M O S トランジスタ 6 1 ～ 6 3 を備え、トランジスタ 6 1 および 6 2 のゲートには差動の入力クロック C L K 1 および \neg C L K 1 が供給され、これらトランジスタ 6 1 および 6 2 のソースとトランジスタ 6 3 のドレインとの接続ノードから出力（比較用クロック C L K 3）が取り出されるようになっている。すなわち、比較用クロック C L K 3 は入力クロ

ック（外部クロック）CLK 1 を 2 通倍したクロックになっており、位相比較器 7 において、外部クロック CLK 1 の 2 倍の周波数を有する比較用クロック CLK 3 と内部クロック CLK 2 との位相比較を行うことになる。

【 0 0 3 0 】

図 5 は本発明に係るクロック発生装置の第 2 実施例を示すブロック図であり、外部から送られてきたデータに同期した内部クロックを発生させる場合を示している。図 5 において、参照符号 2 1 はフリップフロップ回路（FF 回路）、2 2 および 2 3 は位相比較器、2 4 は制御電圧発生回路（制御信号発生回路）、そして、2 5 は VCO を示している。

【 0 0 3 1 】

上述した図 3 の第 1 実施例のクロック発生装置では、位相同期したクロックを受信側で発生させていたが、図 5 に示す本第 2 実施例のクロック発生装置では、位相同期したクロックをデータ送信側で発生させている。すなわち、出力データを発生させる回路の中で用いられている FF 回路 2 1 の駆動クロックをデータクロック D-CLK として使い、データと共に送信する。受信側では、位相比較器 2 2 によりデータ DATA と内部クロック（VCO 2 5 の出力クロック）CLK 2 の位相比較を行い、さらに、位相比較器 2 3 によりデータクロック D-CLK と内部クロック CLK 2 の位相比較を行う。

【 0 0 3 2 】

ここで、2 つ位相比較器 2 2、2 3 の出力のうち、データクロック D-CLK との位相比較を行った側（位相比較器 2 3）の出力は高域通過フィルタを通し、また、データ DATA との位相比較を行った側（位相比較器 2 2）の出力は低域通過フィルタを通して制御電圧発生回路 2 4 で合計し、その制御電圧発生回路 2 4 の出力（制御電圧）により VCO 2 5 を制御して内部クロック CLK 2 を生成する。

【 0 0 3 3 】

本第 2 実施例のクロック発生装置では、データを送信する側で位相同期が保証されたクロックを発生するため、第 1 実施例よりも簡単な回路構成で内部クロック CLK 2 を発生することができ、さらに、データクロック D-CLK を使用す

るため、データのクロック遷移率が低くても高い位相精度で内部クロックを発生させることができる。なお、本第2実施例において、データクロックD-CLKとの位相比較結果の低周波側（直流を含む）は使用しないため、データクロックD-CLKおよびデータDATAの定常位相誤差は内部クロックCLK2の位相に影響を与えないという利点もある。

【0034】

図6は本発明に係るクロック発生装置の第3実施例を概念的に示すブロック図である。図6において、参照符号31および41-0~41-nは加算器（減算器）、32および42-0~42-nはレシーバおよび位相比較器（位相検出器）、33および43-0~43-nは位相インターポレータ（PI）、34, 39, 44-0~44-nは係数器、35, 37, 45-0~45-nおよび47-0~47-nは加算器、36は周波数レジスタ（積分回路）、38は位相レジスタ（積分回路）、40はハイパスフィルタ、そして、46-0~46-nはレジスタを示している。ここで、周波数レジスタ36および位相レジスタ38は、例えば、アダー（Adder）とアキュムレータ（Accumulator）により構成することができる。

【0035】

係数器34はレシーバおよび位相検出器32の出力に対して係数g1を与えて加算器35に供給し、係数器39はレシーバおよび位相検出器32の出力に対して係数g2を与えて加算器37に供給し、そして、係数器44-0~44-nはレシーバおよび位相検出器42-0~42-nの出力に対して係数g3を与えて加算器45-0~45-nに供給する。

【0036】

本第3実施例のクロック発生装置において、位相レジスタ38および位相インターポレータ33（43-0~43-n）は図2におけるVCO5に対応し、係数器34, 39、加算器35および周波数レジスタ36は図2におけるチャージポンプ8およびハイパスフィルタ9に対応し、レシーバおよび位相検出器32は図2における位相比較器7に対応し、そして、係数器44-0~44-n、加算器45-0~45-nおよびレジスタ46-0~46-nは図2におけるチャー

ジポンプ 2 およびローパスフィルタ 3 に対応し、また、レシーバおよび位相検出器 4 2 - 0 ~ 4 2 - n は図 2 における位相比較器 1 に対応する。さらに、各加算器 4 7 - 0 ~ 4 7 - n の出力は、それぞれ位相情報を有するリカバードコード (Recovered Code) になり、また、各位相インターポレータ 4 3 - 0 ~ 4 3 - n の出力は減算器 3 1 に供給されると共に、データの受信用クロック RD - 0 ~ RD - n として利用されることになる。

【 0 0 3 7 】

図 6 に示されるように、本第 3 実施例のクロック発生装置では、1 本の (差動信号の場合は一対の) データクロック線 P c l k に対して複数本 (例えば、16 本 : 差動信号の場合は 16 対) のデータ線 P d a t a - 0 ~ P d a t a - n が設けられ、各データ線 P d a t a - 0 ~ P d a t a - n に対してそれぞれ受信用のクロックを発生させるための位相インターポレータ 4 2 - 0 ~ 4 2 - n が設けられている。ここで、各位相インターポレータ 3 3 および 4 2 - 0 ~ 4 2 - n は、差動クロックの 2 位相 (互いに位相が 90 度ずれている) の重み付け和から任意の位相の信号を生成する回路である。また、各位相インターポレータ 3 3 および 4 2 - 0 ~ 4 2 - n で使用される位相重みは、ディジタルーアナログコンバータ (DAC) により制御されるため、制御信号の発生の殆どはディジタル処理により行われる。なお、各位相インターポレータ 3 3 および 4 2 - 0 ~ 4 2 - n には、例えば、互いに位相が 90 度異なる四相クロックが入力され、その四相クロックに対して重み付けおよび加算を行って任意の位相の信号を生成するようになっている。

【 0 0 3 8 】

本第 3 実施例のクロック発生装置では、データクロック D - C L K と内部クロック C L K 2 の位相比較結果は第 1 の位相ロックループ L P 1 に入力される。このループ L P 1 は、データクロック D - C L K と内部クロック C L K 2 の位相比較結果を積分して位相インターポレータ 3 3 に帰還する。ここで、帰還ループ L P 1 の中には積分を行うレジスタが 2 つ設けられているが、1 つはデータクロック D - C L K と位相インターポレータ 3 3 の出力である基準クロックの周波数オフセットに対応する数値が蓄積される周波数レジスタ 3 6 であり、他の 1 つはデ

ータクロック D - C L K の位相に対応した数値が蓄積される位相レジスタ 3 8 である。これら 2 つのレジスタ 3 6, 3 8 の内、位相レジスタ 3 8 の内容をデータ受信のための帰還ループの入力として使うようになっている。

【 0 0 3 9 】

データ受信のクロック R D - 0 ~ R D - n を発生させるループ L P 2 は、加算器 4 7 - 0 ~ 4 7 - n により位相誤差の入力が 2 つのポートにより行われる。すなわち、1 つは内部クロック C L K 2 とデータの位相比較を行った位相比較器 (4 2 - 0 ~ 4 2 - n) からの入力ポートであり、他の 1 つはデータクロック受信ループ L P 1 の位相レジスタ 3 8 の内容を受け取る入力ポートである。

【 0 0 4 0 】

なお、本第 3 実施例のクロック発生装置では、データクロック受信ループ L P 1 の位相レジスタ 3 8 の内容に一定のバイアス値を加算してデータ受信用のクロック位相コード R C - 0 ~ R C - n を発生する。バイアス値は、データと内部クロックの位相差を入力とする帰還ループ L P 2 により得られる。ここで、クロック位相コード R C - 0 ~ R C - n は、例えば、テスト時等に使用される。

【 0 0 4 1 】

本第 3 実施例のクロック発生装置によれば、多チャネルのデータを受信するためのクロック R D - 0 ~ R D - n を発生することができる。位相差の高周波成分は、高いクロック遷移率を持つデータクロック (D - C L K : P c l k) から取得され、各データチャネル間のスキューはデータと内部クロックの位相比較結果から補正される。本第 3 実施例のクロック発生装置において、スキューはほとんど静的な変化しかしないため、データのクロック遷移率がかなり低くても格別のスタートアッププロトコルなしでスキュー補正が行える利点もある。

【 0 0 4 2 】

図 7 は図 6 に示すクロック発生装置の一部の構成例を示すブロック回路図であり、図 6 における減算器 3 1 および 4 1 - 0 ~ 4 1 - n、レシーバおよび位相検出器 (R x / P D C) 3 2 および 4 2 - 0 ~ 4 2 - n、並びに、位相インターポレータ (P I) 3 3 および 4 3 - 0 ~ 4 3 - n に相当する回路ブロックを示すものである。

【 0 0 4 3 】

すなわち、図 6 における減算器 3 1, $4 1 - 0 \sim 4 1 - n$ および $R x / P D C$ 3 2, $4 2 - 0 \sim 4 2 - n$ は、例えば、位相インターポレータ 5 1 ($3 3, 4 3 - 0 \sim 4 3 - n$) の出力を受け取るレシーバ ($R x$) 5 1 と、レシーバ 5 1 の出力を受け取るロジック回路 (位相検出回路：位相比較回路) 5 2 とで構成される。

【 0 0 4 4 】

図 8 は本発明に係るクロック発生装置の第 4 実施例を概念的に示すブロック図である。

【 0 0 4 5 】

図 6 と図 8 との比較から明らかなように、本第 4 実施例のクロック発生装置は、上述した第 3 実施例のクロック発生装置におけるハイパスフィルタ 4 0 および加算器 $4 7 - 0 \sim 4 7 - n$ をなくし、代わりに各係数器 $4 4 - 0 \sim 4 4 - n$ の出力に対して周波数レジスタ 3 6 の出力を加算するための加算器 $4 8 - 0 \sim 4 8 - n$ を設けるようになっている。すなわち、本第 4 実施例のクロック発生装置は、データクロック $D - C L K (P c l k)$ を受信する回路に内蔵された位相調整帰還ループ (クロック位相調整回路) の周波数レジスタ 3 6 の内容を各データ受信用のクロックを発生する回路 (ループ $L P 2$) に送るようになっている。

【 0 0 4 6 】

ここで、周波数レジスタ 3 6 の内容は、データと基準クロックの周波数差に対応している。すなわち、本第 4 実施例のクロック発生装置において、データクロック $D - C L K$ は、データと基準クロックの周波数差を抽出するために使用され、各データ線 ($P d a t a - 0 \sim P d a t a - n$) 毎に異なるスキューの情報はこの周波数差の情報には含まれないが、スキューはデータと内部クロックの位相差の検出結果を使うことで再現されるようになっている。

【 0 0 4 7 】

このように、本第 4 実施例のクロック発生装置は、データクロックを受信する回路 ($L P 1$) からはスキュー情報を含まない位相誤差の高周波成分の情報が得られ、これとデータ線と内部クロックの位相比較から得られた直流成分の情報を

合わせて位相調整信号を発生させるようになっている。従って、特別のデジタル的なフィルタ演算を行わなくても自然に高周波成分と低周波（直流）成分の合成を行うことができ、ループを安定化させる共に、より一層動作を高速化することが可能になる。

【 0 0 4 8 】

図 9 は本発明に係るクロック発生装置の第 5 実施例を示すブロック図であり、外部クロック（CLK 1）を通倍するクロック通倍 PLL に応用した例を解析するためのブロック図である。また、図 1 0 は図 9 のクロック発生装置における位相同期クロック発生回路の一例を示す回路図である。

【 0 0 4 9 】

図 9 および図 1 0 に示されるように、本第 5 実施例のクロック発生装置において、間接的なクロック位相検出手段（ローカルフィードバックループ）は内部クロック（CLK 2）と位相同期した DLL（Delay Locked Loop）6 0 であり、この DLL 6 0 は、差動の遅延素子を 4 段（6 0 1 ～ 6 0 4）使用し、この遅延段 6 0 1 ～ 6 0 4 の遅延を制御電圧で制御してクロック 1 周期分の値に調整する。ここで、図 9 における DLL（ローカルフィードバックループ）6 0 は、減算要素（加算要素）7 6、ゲイン K を与える増幅要素 7 7 および積分要素 7 8 を有すると考えられ、例えば、図 2 における位相同期クロック発生回路 6、位相比較器 7（7 6，7 7）、チャージポンプ 8（7 8）およびハイパスフィルタ 9 に対応する。また、図 9 における減算要素 7 1 および増幅要素 7 2 は図 2 における位相比較器 1 に対応し、積分要素 7 3 は図 2 のチャージポンプ 2 に対応し、減算要素 7 4 は図 2 の加算器 4、そして、VCO 7 5 は図 2 の VCO 5 に対応する。

【 0 0 5 0 】

位相比較器 6 0 5 は、内部クロック（差動クロック CLK 2，／CLK 2）と遅延段 6 0 1 ～ 6 0 4 を通ったクロックとの位相比較を行い、その位相比較結果でチャージポンプを駆動して制御電圧を発生して遅延制御を行う。ここで、位相比較器 6 0 5 は、位相差に対して一定のゲイン（K）を持つ要素（7 7）と考えられ、また、チャージポンプは積分要素（7 8）と考えられるため、この帰還回路のオープンループゲイン G は、

$$G = K / s$$

になる。従って、伝達特性は、

$$G / (1 + G) = K / (s + K)$$

と一次応答特性になる。さらに、入力位相から位相検出器の伝達特性は、

$$E = 1 - G / (1 + G) = s / (s + K)$$

になる。この特性は、入力位相に対して高域通過特性（ハイパスフィルタ 9）を示す。

【0051】

このように、DLLを内蔵することにより外部クロック（CLK1）を用いることなく内部クロック（CLK2）の位相情報がわかるため、外部クロックの周波数の内部クロックに対する比率が小さい（逡倍率が高い）場合でも、内部クロックの位相の高周波成分を得ることができる。

【0052】

さらに、位相比較器1（71，72）により外部クロックCLK1と内部クロックCLK2の間の位相を検出しチャージポンプ2（73）を介した信号は、加算器4（減算要素74）でDLL60の位相比較器605から得られた信号と合成され、VCO5（75）を制御する制御信号（制御電圧）が発生される。

【0053】

本第5実施例のクロック発生装置は、外部クロックCLK1の内部クロックCLK2に対する周波数の比率が小さい場合でも、DLLにより内部クロックの位相情報を高周波域まで得ることができるため、クロックのジッターを低減することが可能になる。なお、本第5実施例のクロック発生装置において、DLL60としてPLLを適用することもできる。

【0054】

図11は本発明に係るクロック発生装置の第6実施例を示すブロック回路図である。

【0055】

図9と図11との比較から明らかなように、本第6実施例のクロック発生装置は、外部クロックCLK1と内部クロックCLK2とを位相比較器1（71，7

2) で位相比較した結果を、低域通過フィルタ（ローパスフィルタ）79を通して加算器4（74）に供給し、DLL60から得られた位相差信号と加算するようになっている。ここで、ローパスフィルタ79は、上述したDLL60が有する $s/(s+K)$ の高域通過特性のカットオフ周波数に対応する低域通過特性のカットオフ周波数を持つようにされており、これにより低周波から高周波までフラットな誤差のない位相差信号（内部クロックCLK2）を得るようになっている。

【0056】

すなわち、本第6実施例のクロック発生装置において、内部クロックCLK2の位相誤差の高周波成分はDLL60の側から得られるため、DLL60側の位相検出における高域通過特性のカットオフ周波数と、上記ローパスフィルタ79のカットオフ周波数を加算器4（74）で合成することにより、直流から高周波まで位相情報を取得することができる。そして、外部クロックCLK1から取得した位相情報に対するカットオフ周波数を低くすることにより、外部クロックの周波数が低くても低いジッターのクロック発生が可能になり、さらに、外部クロックCLK1にジッターがあった場合でも、それがクロック出力に現れない（ジッターの伝達がない）クロック発生が可能になる。

【0057】

上述したように、本発明に係るクロック発生装置の各実施例によれば、高速信号を受信する回路に用いるクロック復元回路（或いは、基準クロック発生装置等）において、入力されるデータまたは外部クロックのクロック遷移率が小さい場合でも、内部クロックの位相情報を高周波域まで得ることができるため、低いジッターのクロック発生が可能になり、その結果として受信タイミングマージンの広い受信回路を実現することができる。

【0058】

（付記1） 制御信号によりクロックの位相を変化させる機能を備えたクロック発生回路と、

該クロック発生回路から出力されたクロックの位相を基準になる波形と比較して位相差を検出する位相差検出回路と、

該位相差検出回路で得られた位相差情報に基づいて前記クロック発生回路のクロック位相を制御する制御信号を発生する制御信号発生回路とを備えるクロック発生装置であって、

前記位相差検出回路は複数の位相検出ユニットを備え、

前記複数の位相検出ユニットのうち少なくとも1つは、前記クロックの位相を基準になる波形の位相と直接比較する直接的位相検出を行い、且つ、

前記複数の位相検出ユニットのうち他の少なくとも1つは、前記クロック発生回路の出力または前記基準波形と位相が同期した関係にある波形を発生する位相同期波形発生回路、および、該位相が同期した関係にある波形から位相情報を取り出す位相情報取出回路を有する間接的位相検出を行うことを特徴とするクロック発生装置。

【 0 0 5 9 】

(付記2) 付記1に記載のクロック発生装置において、

前記直接的位相検出は、前記クロックと前記基準になる波形との位相比較を第1の頻度で行い、且つ、

前記間接的位相検出は、前記クロックと前記位相同期波形発生回路の出力との位相比較を前記第1の頻度よりも高い第2の頻度で行うことを特徴とするクロック発生装置。

【 0 0 6 0 】

(付記3) 付記2に記載のクロック発生装置において、

前記直接的位相検出は、前記クロックと外部から送られてきたデータとの位相差の検出によるものであり、且つ、

前記間接的位相検出は、前記クロックと前記外部から送られてきたデータに同期したデータクロックとの位相差の検出によるものであることを特徴とするクロック発生装置。

【 0 0 6 1 】

(付記4) 付記3に記載のクロック発生装置において、さらに、

前記複数の位相検出ユニットが発生する信号に従って前記クロックの位相調整を行うクロック位相調整回路を備え、該複数の位相検出ユニットの出力毎に前記

クロックの位相へ影響を与える応答速度特性が異なっていることを特徴とするクロック発生装置。

【 0 0 6 2 】

(付記 5) 付記 4 に記載のクロック発生装置において、
前記データクロックを伝送する 1 つのデータクロック線に対して複数のデータ線によりデータを伝送し、

前記データクロック線および前記データ線毎にクロック発生回路を有し、

前記データクロック線が有するクロック発生回路は、自身のクロック発生回路が発生するクロックと前記データクロックとの位相差を検出し、該検出された位相差の値に基づいて前記クロックの位相調整を行い、該位相調整に使われた制御信号を前記各データ線のクロック発生回路に出力し、前記各データ線のクロック発生回路が前記制御信号と各自のクロックとデータの位相差信号からクロック制御信号を発生することを特徴とするクロック発生装置。

【 0 0 6 3 】

(付記 6) 付記 5 に記載のクロック発生装置において、前記データクロック線に附随した位相検出ユニットから得られる位相情報により、前記データクロックの位相の増加率に対応する値を得て、これを前記各データ線のクロック位相調整回路に送り、該各データ線ではこの情報と各自のクロックとデータと位相差の情報からクロック位相を調整することを特徴とするクロック発生装置。

【 0 0 6 4 】

(付記 7) 付記 1 に記載のクロック発生装置において、前記クロック位相の検出は、

外部基準クロックと前記クロック発生回路が発生するクロックとを比較して位相差を検出する位相差検出回路と、

前記クロック発生回路の出力クロックを PLL または DLL に与えたとき、該 PLL または DLL の位相検出回路との両方を使用することを特徴とするクロック発生装置。

【 0 0 6 5 】

(付記 8) 付記 7 に記載のクロック発生装置において、前記外部基準クロッ

クと前記クロック発生回路の出力の位相を比較した値は、長い時定数で前記クロック発生回路の位相を制御し、前記PLLまたはDLLの位相検出回路から得られる位相情報はより短い時定数で前記クロック発生回路の位相を制御することを特徴とするクロック発生装置。

【0066】

(付記9) 外部から供給される基準信号と内部クロックとの位相比較を行う第1の位相比較器と、

前記基準信号に位相同期し、該基準信号よりもクロック遷移率の高い比較用クロックを発生する位相同期クロック発生回路と、

前記比較用クロックと前記内部クロックとの位相比較を行う第2の位相比較器と、

前記第1の位相比較器により得られた第1の位相差情報と、前記第2の位相比較器により得られた第2の位相差情報との加算を行う加算器と、

該加算器の出力に応じて位相調整された前記内部クロックを発生する内部クロック発生回路とを備えることを特徴とするクロック発生装置。

【0067】

(付記10) 付記9に記載のクロック発生装置において、さらに、

前記第1の位相比較器の出力における低周波帯域を通過させて前記加算器に供給するローパスフィルタと、

前記第2の位相比較器の出力における高周波帯域を通過させて前記加算器に供給するハイパスフィルタとを備えることを特徴とするクロック発生装置。

【0068】

(付記11) 付記9に記載のクロック発生装置において、前記基準信号は、外部から供給される基準クロックであり、且つ、前記内部クロックは該基準クロックを逡倍したクロックであることを特徴とするクロック発生装置。

【0069】

(付記12) 付記11に記載のクロック発生装置において、前記位相同期クロック発生回路は、逡倍回路であることを特徴とするクロック発生装置。

【0070】

(付記 1 3) 付記 9 に記載のクロック発生装置において、前記基準信号は、外部から供給されるデータであり、且つ、前記内部クロックは該データを受信するためのクロックであることを特徴とするクロック発生装置。

【 0 0 7 1 】

(付記 1 4) 付記 9 に記載のクロック発生装置において、
前記基準信号は、複数のデータ線を介して並列に伝送されるデータに対して 1 つのデータクロック線を介して伝送されるデータクロックであり、
前記内部クロックは、前記複数のデータ線を介して伝送されるデータをそれぞれ受信する複数のデータ受信用クロックであり、
前記第 2 の位相比較器は、前記データクロック線に対応して 1 つ設けられ、
前記第 1 の位相比較器、前記加算器および前記内部クロック発生回路は、前記複数のデータ線に対応して複数設けられ、
前記各加算器は、対応する前記第 1 の位相比較器により得られた第 1 の位相差情報と前記第 2 の位相比較器により得られた第 2 の位相差情報とを加算し、
前記各内部クロック発生回路は、対応する前記加算器の出力に応じて位相調整された前記内部クロックを発生することを特徴とするクロック発生装置。

【 0 0 7 2 】

【発明の効果】

以上、詳述したように、本発明によれば、クロック遷移率の低いデータから内部クロックを生成する場合や高い通倍率で外部クロックを通倍して内部クロックを生成する場合においても、ジッターの小さなクロックを発生することのできるクロック発生装置を提供することができる。

【図面の簡単な説明】

【図 1】

従来のクロック発生装置の一例を示すブロック図である。

【図 2】

本発明に係るクロック発生装置の基本構成を示すブロック図である。

【図 3】

本発明に係るクロック発生装置の第 1 実施例を示すブロック図である。

【図 4】

図 3 のクロック発生装置における 2 通倍回路の一例を示す回路図である。

【図 5】

本発明に係るクロック発生装置の第 2 実施例を示すブロック図である。

【図 6】

本発明に係るクロック発生装置の第 3 実施例を概念的に示すブロック図である。

【図 7】

図 6 に示すクロック発生装置の一部の構成例を示すブロック回路図である。

【図 8】

本発明に係るクロック発生装置の第 4 実施例を概念的に示すブロック図である。

【図 9】

本発明に係るクロック発生装置の第 5 実施例を示すブロック図である。

【図 1 0】

図 9 のクロック発生装置における位相同期クロック発生回路の一例を示す回路図である。

【図 1 1】

本発明に係るクロック発生装置の第 6 実施例を示すブロック回路図である。

【符号の説明】

- 1, 7, 22, 23 …位相比較器
- 2, 8 …チャージポンプ
- 3 …ローパスフィルタ
- 4 …加算器
- 5, 25 …電圧制御発振器 (VCO)
- 6 …位相同期クロック発生回路
- 9, 40 …ハイパスフィルタ
- 10 …処理回路
- 11, 24 …制御信号発生回路

2 1 … フリップフロップ回路 (F F 回路)

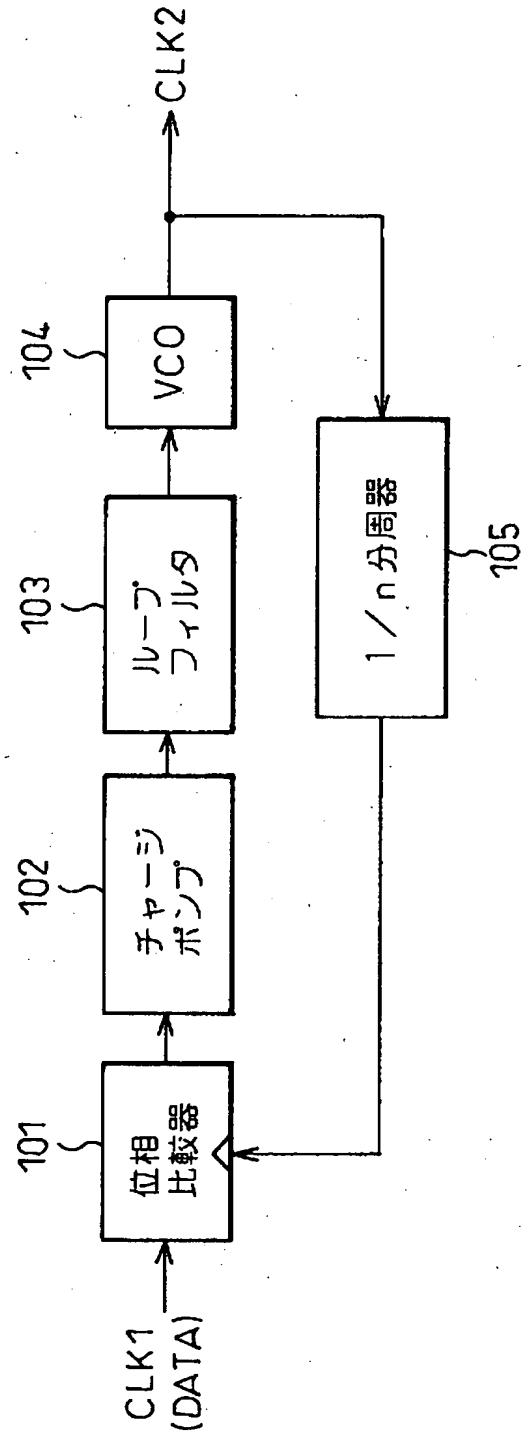
【書類名】

図面

【図 1】

図 1

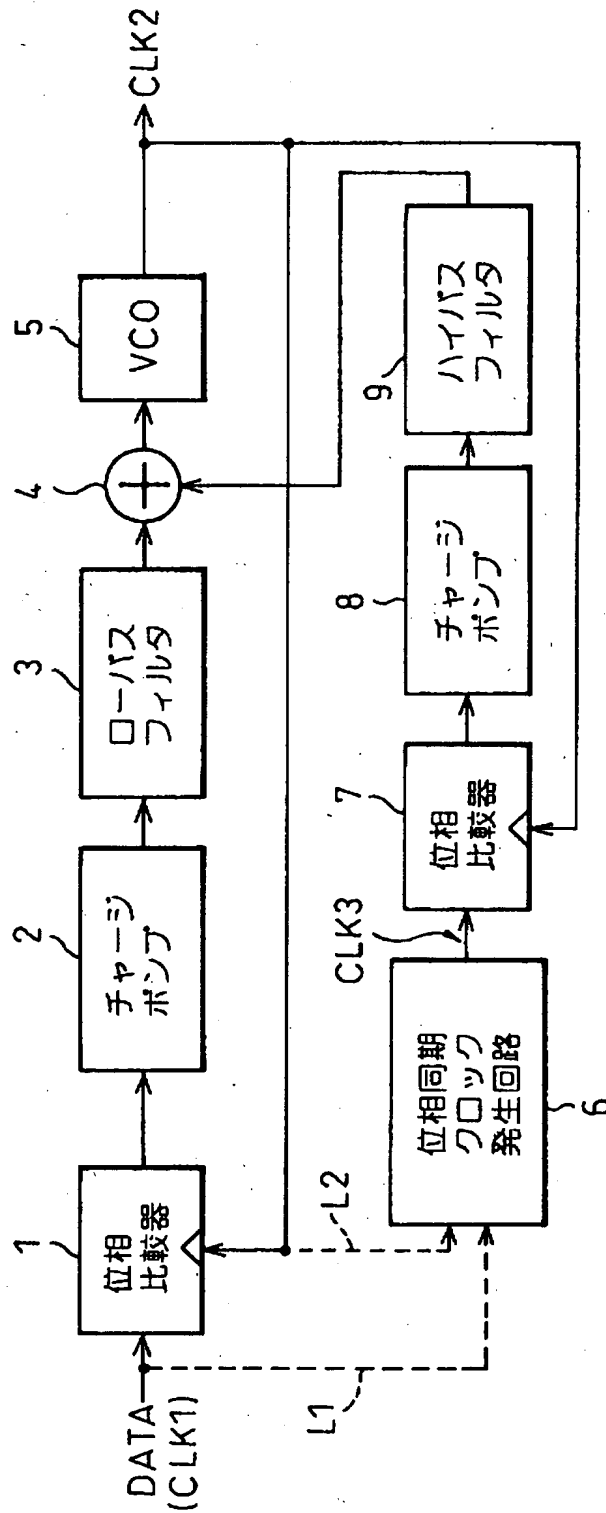
従来のクロック発生装置の一例を示すブロック図



【図 2】

図 2

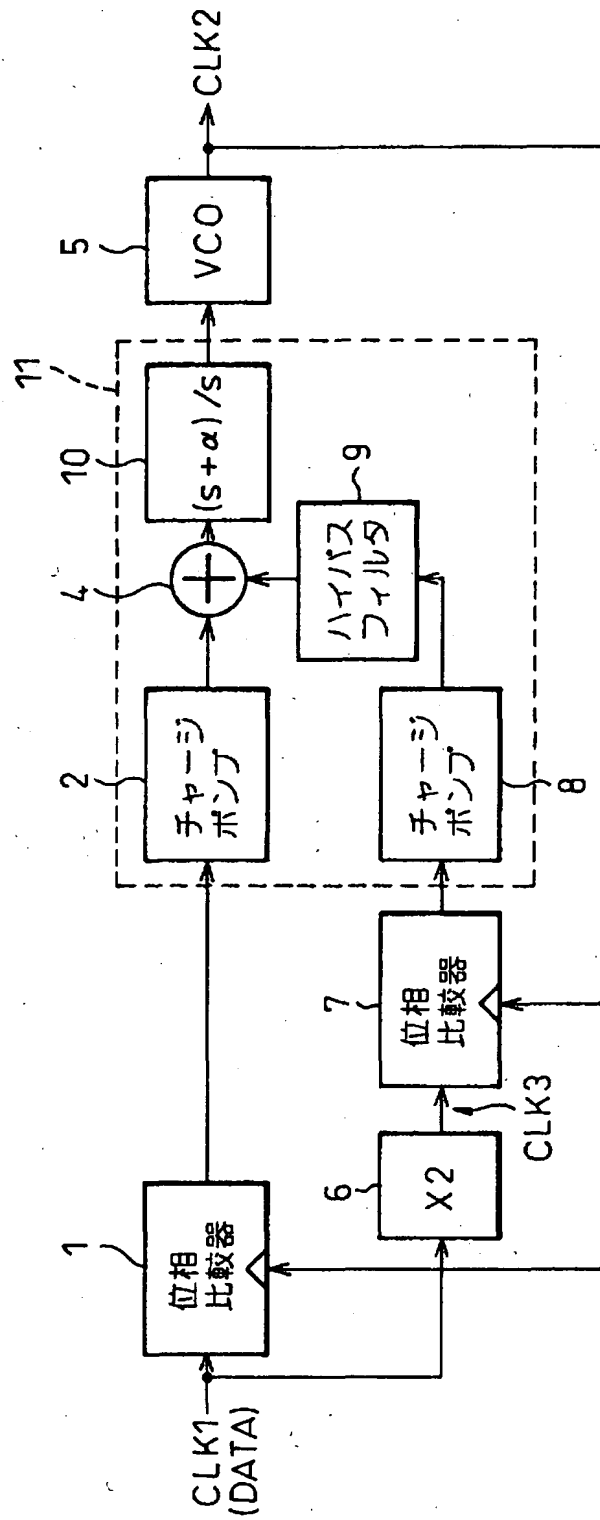
本発明に係るクロック発生装置の基本構成を示すブロック図



【図 3】

図 3

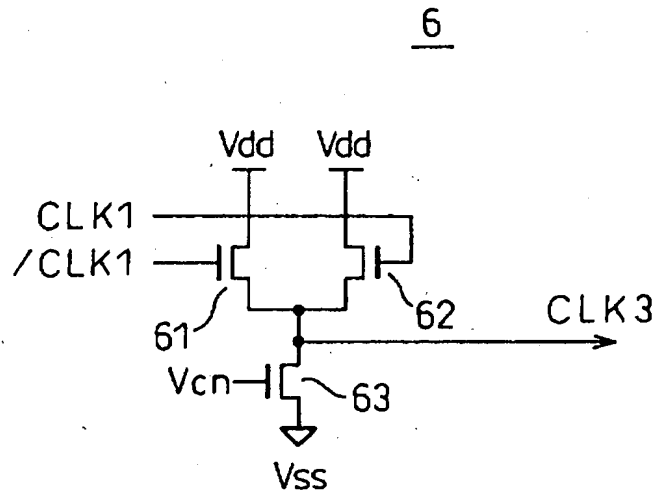
本発明に係るクロック発生装置の第1実施例を示すブロック図



【図 4】

図 4

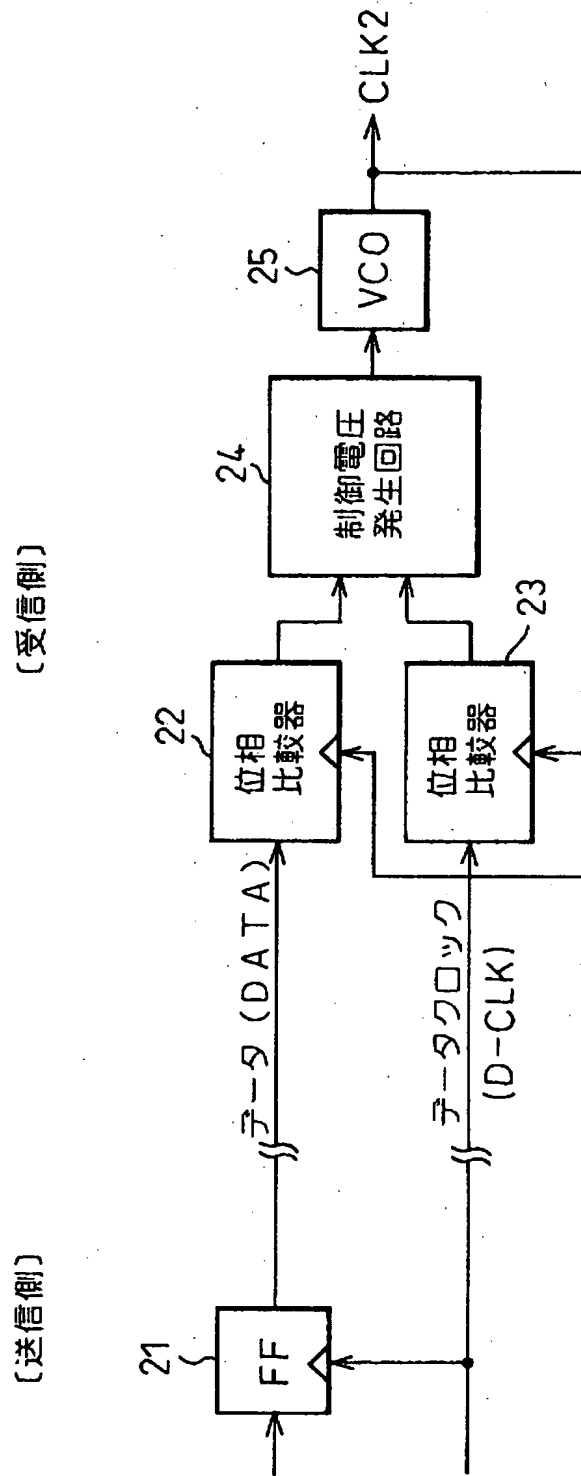
図 3 のクロック発生装置における 2 通倍回路の一例を示す回路図



【図5】

図 5

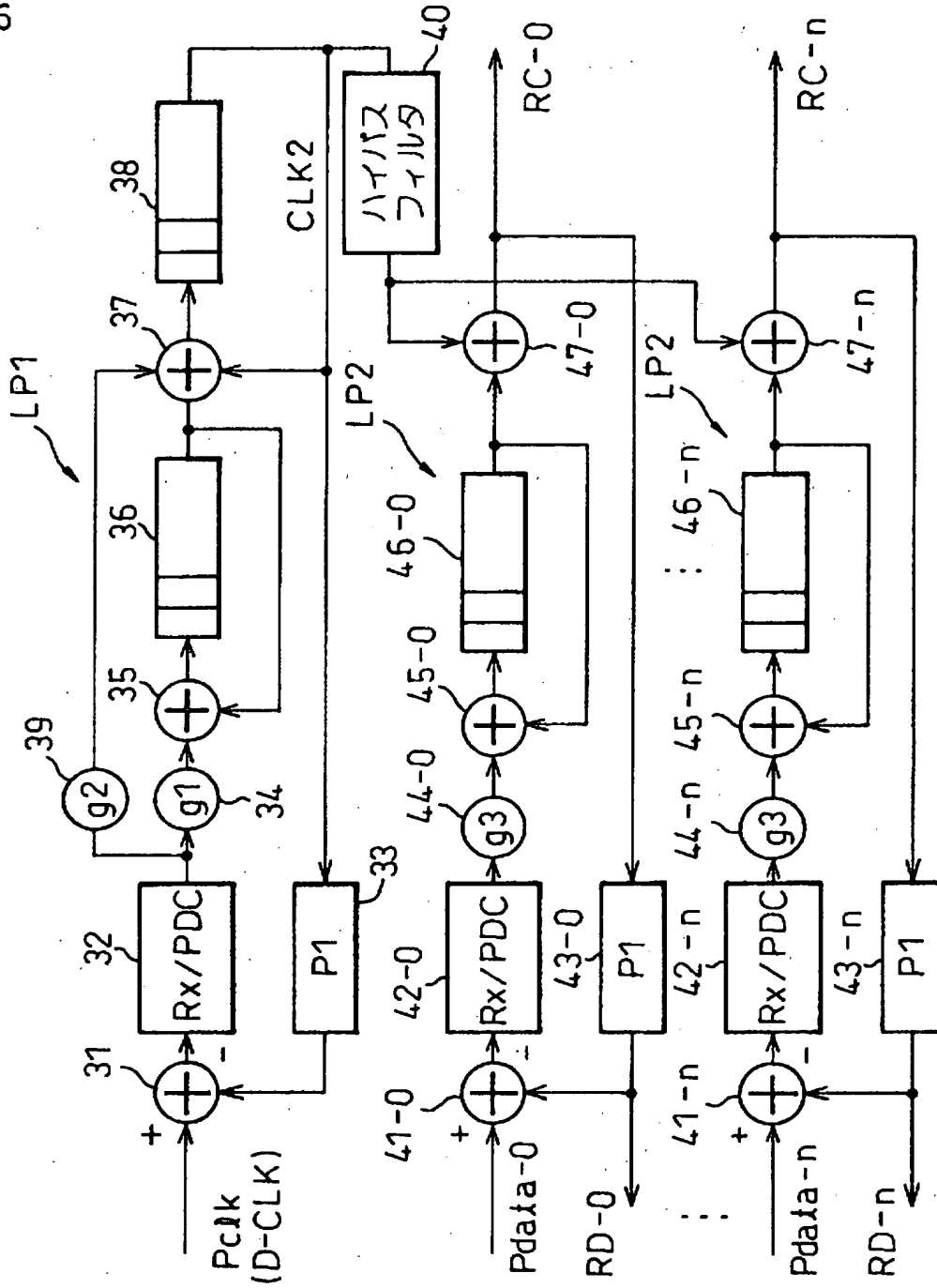
本発明に係るクロック発生装置の第2実施例を示すブロック図



【図6】

図 6

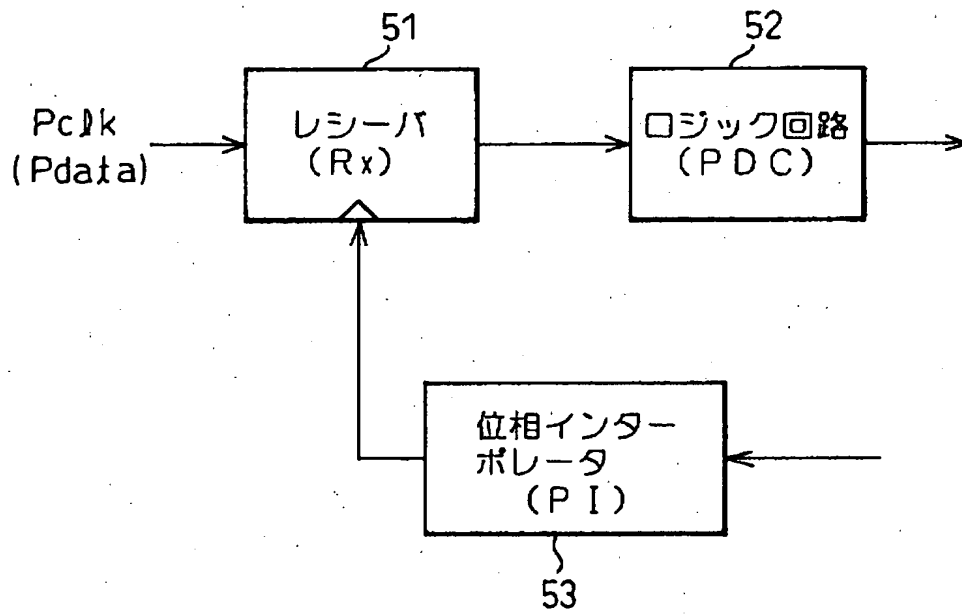
本発明に係るクロック発生装置の第3実施例を概念的に示すブロック図



【図 7】

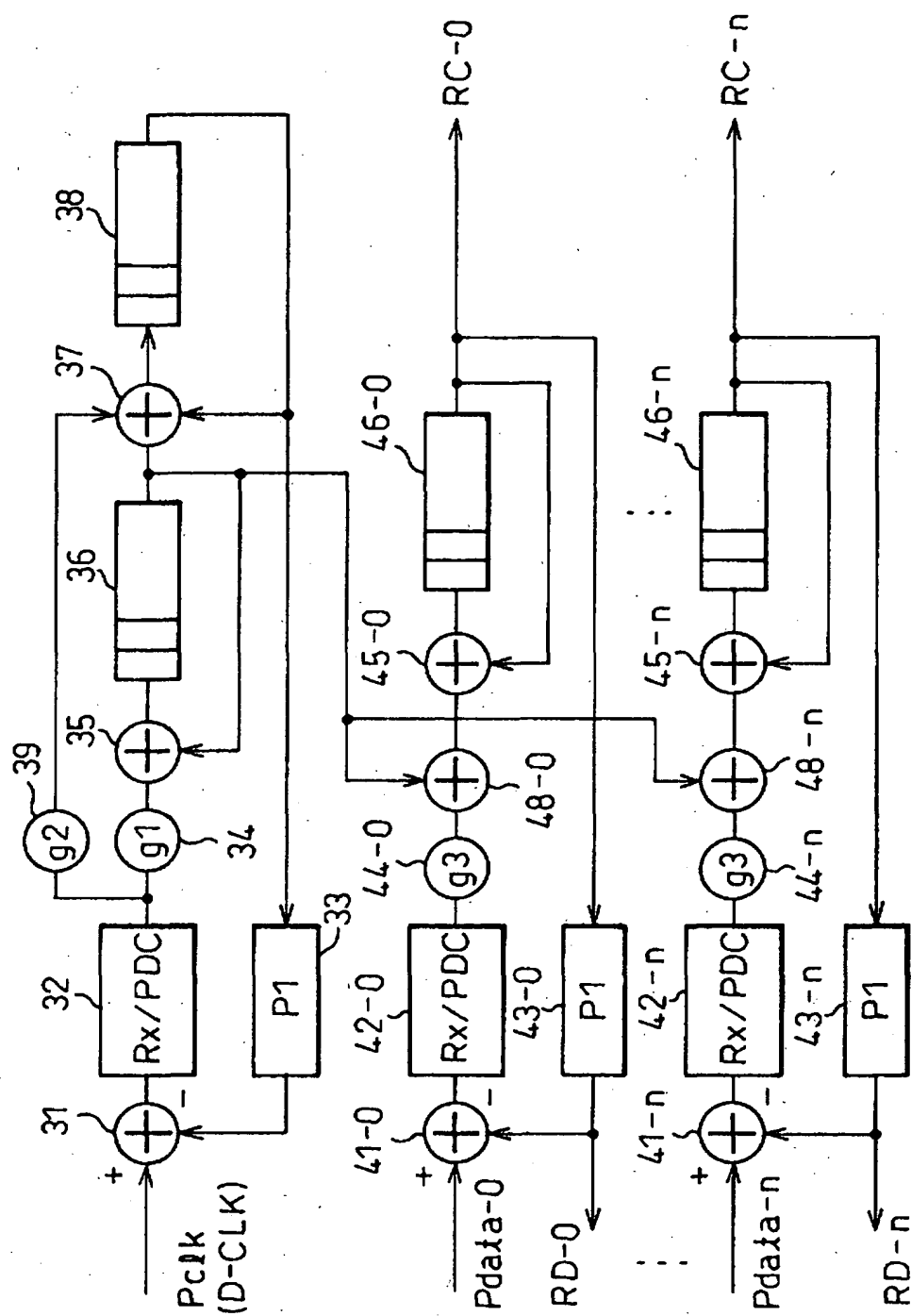
図 7

図 6 に示すクロック発生装置の一部の構成例を示すブロック回路図



【图 8】

图 8

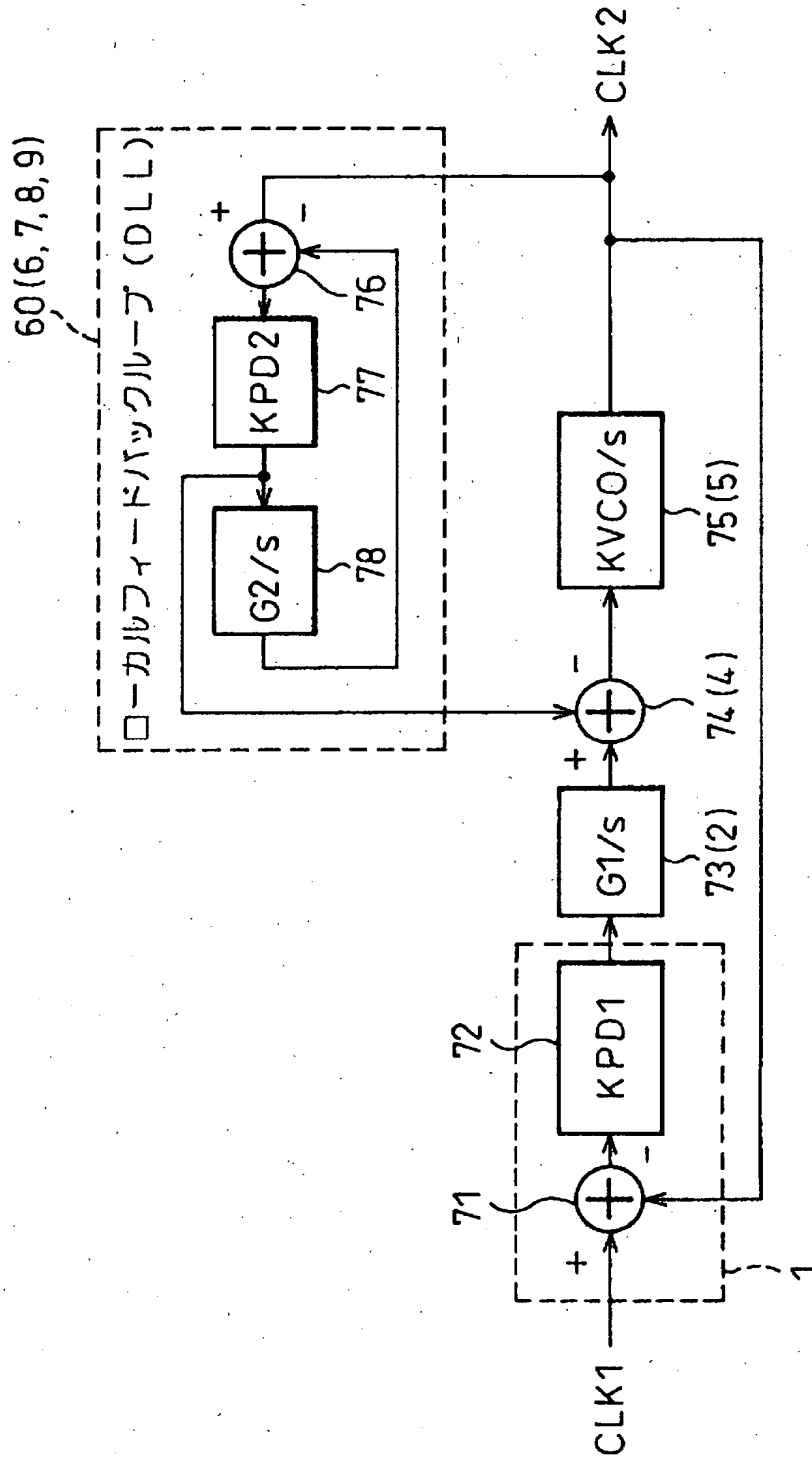


本発明に係るクワック発生装置の第4実施例を概念的に示すブロック図

【図 9】

図 9

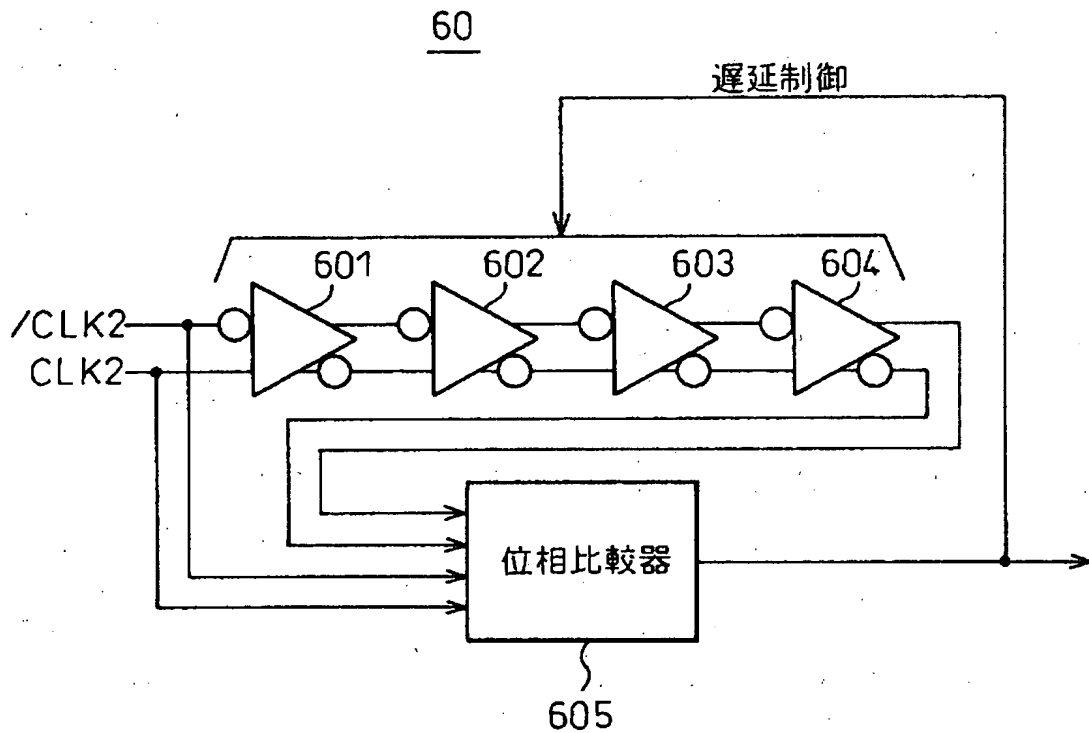
本発明に係るクロック発生装置の第 5 実施例を示すブロック図



【図 1 0】

図 10

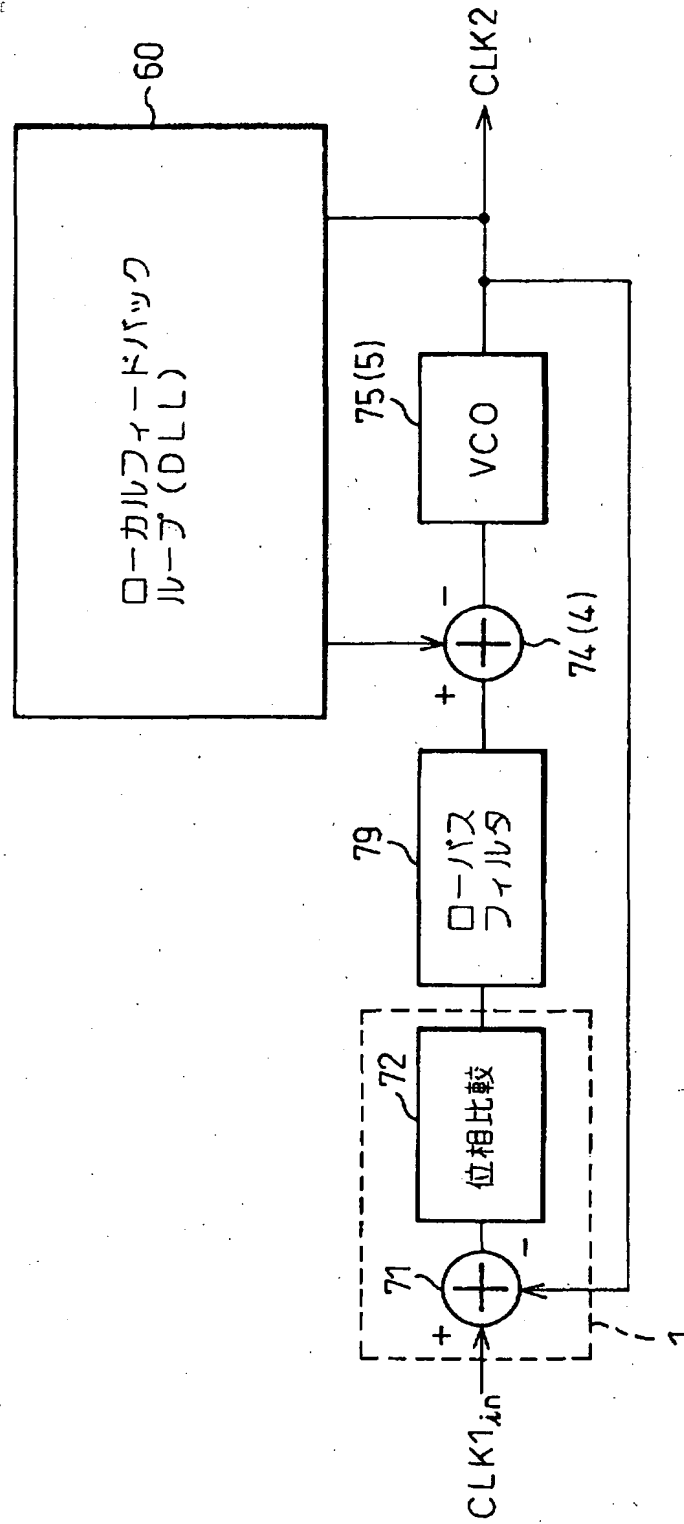
図 9 のクロック発生装置における位相同期クロック発生回路の一例を示す回路図



【図 11】

図 11

本発明に係るクロック発生装置の第 6 実施例を示すブロック回路図



【書類名】 要約書

【要約】

【課題】 従来、入力データの遷移のレートが低い場合や外部クロックを高い通倍率で通倍して内部クロックを生成する場合等には、位相比較を行う間隔が長くなるため位相誤差（ジッター）が大きくなるといった課題がある。

【解決手段】 外部から供給される基準信号DATA,CLK1と内部クロックCLK2との位相比較を行う第1の位相比較器1と、前記基準信号に位相同期し、該基準信号よりもクロック遷移率の高い比較用クロックCLK3を発生する位相同期クロック発生回路6と、前記比較用クロックと前記内部クロックとの位相比較を行う第2の位相比較器7と、前記第1の位相比較器により得られた第1の位相差情報と、前記第2の位相比較器により得られた第2の位相差情報との加算を行う加算器4と、該加算器の出力に応じて位相調整された前記内部クロックを発生する内部クロック発生回路5とを備えるように構成する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社